

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145142

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 21/3205

H01L 21/60

H01L 21/60

(21)Application number : 09-320514

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.11.1997

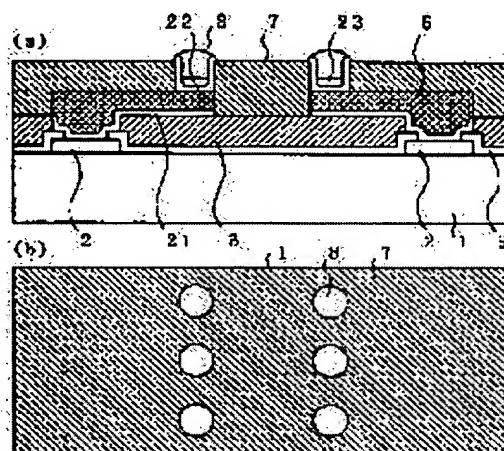
(72)Inventor : KATO KEIJI  
BABA ISAO  
ONO JUNICHI  
OMORI JUN

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which simplifies a manufacture process and effectively uses a material through the use of wirings, by screen printing as inner wirings which electrically connect connection electrodes and outer connection terminals, and to provide the manufacture method.

**SOLUTION:** An inner wirings 6 formed by screen printing are formed on a first insulating film on a passivation film 9 through the composite films 21 of a barrier metal layer and a seed layer. The inner wirings 6 are electrically connected to the connection 2. A second insulating film 7 consisting of a photoresist film is formed on the first insulating film 3 and the inner wirings 6. The outer connection terminals 8 formed for the exposed part of the inner wirings through the composite film 22 of the barrier metal layer and the seed layer are formed on a Cu film 81 formed on the composite film 22. Photoresist used for screen printing is used for the insulating film and the material can effectively be used.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-145142

(43)公開日 平成11年(1999) 5月28日

(51)Int.Cl.<sup>8</sup>

H 0 1 L 21/3205

21/60

識別記号

3 1 1

F I

H 0 1 L 21/88

21/60

21/92

T

3 1 1 Q

6 0 2 Z

6 0 4 E

審査請求 未請求 請求項の数4 F D (全 7 頁)

(21)出願番号

特願平9-320514

(22)出願日

平成9年(1997)11月7日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 加藤 慶治

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72)発明者 馬場 勲

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72)発明者 大野 淳一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(74)代理人 弁理士 竹村 壽

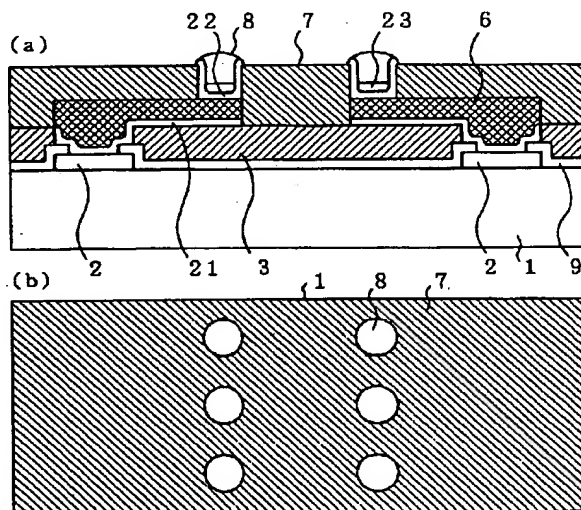
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 接続電極と外部接続端子とを電氣的に接続する内部配線としてスクリーン印刷により形成された配線を用い、製造工程を簡略化し資材を有効に利用することができる半導体装置及びその製造方法を提供する。

【解決手段】 パッシベーション膜9上の第1の絶縁膜3の上にはバリアメタル層とシード層との複合膜21を介してスクリーン印刷で形成された内部配線6が形成されている。内部配線6は接続電極2と電氣的に接続されている。第1の絶縁膜3及び内部配線6の上にはフォトレジスト膜からなる第2の絶縁膜7が形成されている。内部配線の露出部分にバリアメタル層とシード層との複合膜22を介して形成された外部接続端子8は、複合膜22の上に形成されたCu膜81上に形成されている。スクリーン印刷に利用したフォトレジストは絶縁膜に用いて資材を有効利用できる。



## 【特許請求の範囲】

## 【請求項1】 半導体素子が形成された半導体チップ

と、  
前記半導体チップ主面に形成された複数の接続電極と、  
前記半導体チップ主面の前記接続電極が形成されている領域以外の領域を被覆するフォトリソ膜からなる第1の絶縁膜と、  
前記第1の絶縁膜上に形成され、前記接続電極に電気的に接続されたスクリーン印刷により形成された内部配線と、  
前記内部配線の一部の領域以外の内部配線と前記第1の絶縁膜を被覆するフォトリソ膜からなる第2の絶縁膜と、  
前記第2の絶縁膜に被覆されていない前記内部配線の前記一部の領域上に外部接続端子を形成することを特徴とする半導体装置。

【請求項2】 半導体素子が形成された半導体チップ主面に複数の接続電極を形成する工程と、  
半導体チップ主面に第1の感光性レジストを塗布し、露光し、現像することにより、前記接続電極部分を露出させ、その他の領域を被覆する第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上及びこの第1の絶縁膜から露出している前記接続電極上に所定形状の内部配線をスクリーン印刷法により形成する工程と、  
前記第1の絶縁膜上及び前記内部配線上に第2の感光性レジストを塗布し、露光し、現像することにより前記内部配線の一部が露出する開口部を有する第2の絶縁膜を形成する工程と、  
前記第2の絶縁膜の開口部に露出している内部配線上に外部接続端子を突出形成させる工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 前記外部接続端子を形成する工程において、前記第2の絶縁膜の開口部にスクリーン印刷法で外部電極材料を埋め込む工程と、リフロー処理により外部接続端子材料をボール状に形成する工程とを有することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記内部配線材料の融点より外部接続端子材料の融点の方が低いことを特徴とする請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、とくに、半導体チップ上に直接、外部接続端子を形成するCSPタイプの半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 近年半導体チップとほぼ同じ大きさを持つ半導体装置がチップサイズパッケージ(CSP: Chip Size/scale Package)などと呼ばれ注目されている。

図11は、その一例である。この半導体装置は、配線基板30とこれよりややサイズの小さい半導体チップ31とを一体化してなるものである。配線基板30は、主面に内部配線と接続電極が形成されており、これらと電気的に接続されたボール状の外部接続端子35が裏面に形成されている。半導体チップ31は、絶縁性接着剤33で配線基板30の主面に形成されており、半導体チップ31に形成されている接続電極(図示せず)は、ボンディングワイヤ32によって配線基板30に形成された接続電極(図示せず)に電気的に接続されている。半導体チップ31は、接着剤33やボンディングワイヤ32にとともにエポキシ樹脂などの封止体34により封止されている。

【0003】 このタイプの半導体装置は、半導体ウェーハにトランジスタや集積回路などの半導体素子を形成してから分離切断して複数の半導体チップを形成し、各々の半導体チップを取り付けた各配線基板に対して外部接続端子を取り付けて製品を完成させていた。この半導体装置は、半導体ウェーハを半導体チップに分離切断してから製品まで幾つかの工程を必要としており、製造工程が複雑である。このような複雑な工程を有する上記半導体装置に対して、さらにCSPタイプの中でも、半導体ウェーハ上に直接、外部接続端子を形成する半導体装置が開発された。この半導体装置荷用いられる半導体チップは、小型化を可能にするベアチップと信頼性を保証するパッケージの両方の利点を持ち、さらに、ウェーハ工程が組立工程を兼ねる(半導体ウェーハを半導体チップに分離切断したときに製品となっている)という、究極の半導体装置としてとくに注目されている。半導体チップとほぼ同じ大きさを持つ半導体装置の中でも半導体ウェーハ上に直接外部接続端子を形成する半導体装置の製造方法は、例えば、“Ball Grid Array Package: Market and Technology Developments”(TechSearch International, Inc., p.10-11, 1994)に記載されているように公知である。

【0004】 次に、図12乃至図15を参照して上記半導体ウェーハに直接外部接続端子を形成する半導体装置の製造方法を説明する。図12乃至図14は、パッドが形成されている半導体ウェーハに外部接続端子を取り付けるまでの製造工程断面図、図15は、その製造工程フロー図である。まず、半導体ウェーハ36にスパインコート法でポリイミド膜39を3μm程度堆積させる

(1)。半導体ウェーハ36は、主面にアルミニウムなどの金属からなる接続電極(パッド)37が形成されている。そして、この主面は、パッド37が形成された領域を除いて窒化シリコン(SiN)などのパッシベーション膜38が形成されている。ポリイミド膜39は、このパッシベーション膜38の上に形成されている。次に、ポリイミド膜39の上にフォトリソ膜40を形成し、これをパターニングしてパッド37が形成された

領域を開口する(図12)。パターンニングされたフォトレジスト膜40をマスクにしてポリイミド膜39をエッチングして内部にパッド37が露出しているコンタクト孔41を形成する(2)。次に、フォトレジスト膜40を取り除いてからポリイミド膜39上とコンタクト孔41内のパッド37上に、例えば、Ti/Wなどのバリアメタル層及び、例えば、Cuからなるシード層から構成された複合膜42を薄くスパッタリング形成する(3)。

【0005】次に、ポリイミド膜40及び複合膜42の上にフォトレジスト膜43を形成し、これをパターンニングして内部配線を形成するマスクとする。そして、このマスクを用いて内部配線を構成するCu膜44及びその上に形成され接着層となるNi膜45をメッキ形成する(図13)(4)。次に、フォトレジスト膜43を取り除き、ポリイミド膜39に形成された複合膜42の上記内部配線に被覆されていない露出した部分をエッチング除去する(5)。次に、内部配線とポリイミド膜39の上に、再度スピンコート法でポリイミド膜46を3μm程度堆積させる(6)。次に、ポリイミド膜46の上にフォトレジスト膜(図示せず)を形成し、これをパターンニングして内部配線のNi膜45が形成された領域を開口する。パターンニングされたフォトレジスト膜をマスクにしてポリイミド膜46をエッチングして内部にNi膜45が露出しているコンタクト孔47を形成する(7)。

次に、フォトレジスト膜を取り除いてからポリイミド膜46上とコンタクト孔47内のNi膜45上に、例えば、Tiなどのバリアメタル層及び、例えば、Cuからなるシード層から構成された複合膜48を薄くスパッタリング形成する(8)。さらに、複合膜48上にCu膜49をメッキし、その上にSnPb solder膜50を形成する。そして、この上にパターンニングされたフォトレジスト膜(図示せず)を形成する(9)。次に、Cu膜49及びsolder膜50をエッチングして所定の形状にパターンニングする(10)。次に、複合膜48をエッチング除去してからsolder膜50をリフローしてCu膜49とSnPb膜50からなる外部接続端子(パンプ電極)を形成する(図14)(11)。

#### 【0006】

【発明が解決しようとする課題】以上のように、従来の方法では、フォトレジストを用いるPEP(Photo Engraving Process)工程を多用し、さらに絶縁膜をエッチングしなければならないので工程が複雑であり、コストが高く、製造時間が長いという問題があった。本発明は、このような事情によりなされたものであり、製造工程を簡略化し資材を有効に利用することができる半導体装置及びその製造方法を提供する。

#### 【0007】

【課題を解決するための手段】本発明は、半導体チップとほぼ同じ大きさを持つCSPタイプの半導体装置に係

り、半導体チップ主面に形成された接続電極と、やはりこの主面に形成された外部接続端子とを電気的に接続する内部配線にスクリーン印刷により形成された配線を用い、スクリーン印刷に利用したフォトレジストは絶縁膜に用いることを特徴とする。ウェーハ工程が組立工程を兼ねるとともに、フォトレジストを絶縁膜に用いるので資材を有効に利用することができかつ製造時間を短縮することが可能になる。本発明の半導体装置は、半導体素子が形成された半導体チップと、前記半導体チップ主面に形成された複数の接続電極と、前記半導体チップ主面の前記接続電極が形成されている領域以外の領域を被覆するフォトレジスト膜からなる第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記接続電極に電気的に接続されたスクリーン印刷により形成された内部配線と、前記内部配線の一部の領域以外の内部配線と前記第1の絶縁膜を被覆するフォトレジスト膜からなる第2の絶縁膜と、前記第2の絶縁膜に被覆されていない前記内部配線の前記一部の領域上に外部接続端子を形成することを特徴としている。

【0008】本発明の半導体装置の製造方法は、半導体素子が形成された半導体チップ主面に複数の接続電極を形成する工程と、半導体チップ主面に第1の感光性レジストを塗布し、露光し、現像することにより、前記接続電極部分を露出させ、その他の領域を被覆する第1の絶縁膜を形成する工程と、前記第1の絶縁膜上及びこの第1の絶縁膜から露出している前記接続電極上に所定形状の内部配線をスクリーン印刷法により形成する工程と、前記第1の絶縁膜上及び前記内部配線上に第2の感光性レジストを塗布し露光し、現像することにより前記内部配線の一部が露出する開口部を有する第2の絶縁膜を形成する工程と、前記第2の絶縁膜の開口部に露出している内部配線上に外部接続端子を突出形成させる工程とを備えていることを特徴としている。

#### 【0009】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。図1は、半導体装置の断面図である。半導体基板1の主面にはアルミニウムなどの金属からなる接続電極(電極パッド)2が形成されている。そして、この主面上には接続電極2が形成された領域を除いて窒化シリコン(SiN)などのパッシベーション膜9が形成されている。パッシベーション膜9の上にはフォトレジスト膜からなる第1の絶縁膜3が形成されている。第1の絶縁膜3及びパッシベーション膜9には、接続電極2を露出させるコンタクト孔が形成されている。第1の絶縁膜3の上にはバリアメタル層とシード層との複合膜21を介してスクリーン印刷で形成された内部配線6が形成されている。内部配線6は、コンタクト孔にも延在し、接続電極2と電気的に接続されている。第1の絶縁膜3及び内部配線6の上にはフォトレジスト膜からなる第2の絶縁膜7が形成されている。第2の絶縁膜

5

7にはコンタクト孔が形成されていてその中に内部配線6の一部が露出している。このコンタクト孔から突出し、内部配線の露出部分にバリアメタル層とシード層との複合膜22を介して形成された外部接続端子が形成されている。Sn-Pb半田からなる外部接続端子(ハンダボール)8は、複合膜22の上に形成されたCu膜81上に形成されている。

【0010】本発明の半導体チップとほぼ同じ大きさを持つCSPタイプの半導体装置は、半導体チップ主面に形成された接続電極と、やはりこの主面に形成された外部接続端子とを電氣的に接続する内部配線にスクリーン印刷により形成された配線を用い、スクリーン印刷に利用したフォトレジストは第1及び第2の絶縁膜に用いるので資材を有効利用することができる。次に、図1乃至図9を参照して半導体装置の製造工程を説明する。図は、いずれも半導体装置の製造工程断面図である。半導体基板は、ウェーハの状態処理され、シリコンなどの半導体基板1は、半導体チップを表わしている。まず、Alを1wt%及びSiを0.5wt%含有するCuから構成され厚さが1 $\mu$ mの接続電極2を半導体基板1の主面に形成する。接続電極2は、半導体基板1に形成されたトランジスタや半導体集積回路などの半導体素子に電氣的に接続されている。次に、この主面上に接続電極2が形成された領域を除いて窒化シリコン(SiN)などのパッシベーション膜9を形成する(図2)。次に、半導体基板1主面上に接続電極2を被覆するようにフォトレジスト膜3を塗布する。

【0011】つまり、ウェーハ全面、すなわち半導体基板1主面全面に感光性で熱硬化性のノボラック樹脂系ポジタイプ液状レジストをスピンコート法により塗布し、これを加熱処理して硬化しフォトレジスト膜3を均一に形成する。なお、ノボラック樹脂系のポジタイプ液状レジストは、フェノール樹脂の一種でフェノール類とホルムアルデヒドを酸触媒の存在下で縮合する。さらにこれはアセトンやアルコールなどに溶すことができる(図3)。次に、フォトレジスト膜3をフォトマスクを用いてPEP(Photo Engraving Process)処理(露光・現像処理)を行ってフォトレジスト膜3にコンタクト孔を形成し、このコンタクト孔内に接続電極2を露出させる(図4)。次に、フォトレジスト膜3上とコンタクト孔内の接続電極2上に、例えば、Ti/Wなどのバリアメタル層及び、例えば、Cuからなるシード層から構成された複合膜21を薄くスパッタリング形成する(図5)。この実施例では、接続電極2上にバリアメタル層及びシード層を形成しているが、本発明はこれに限定されずこれらの層を形成しない場合もある。

【0012】次に、通常のスクリーン印刷方式と同様にスクリーンマスク4を乗せスキージ(ゴム製)5を用いてCu(融点は1065 $^{\circ}$ C)で構成された配線材料、すなわち、粒度の小さいCu粒子を含む導電ペースト(銅

6

ペースト)6'を半導体基板1主面の複合膜21上に印刷する。銅ペースト6'を複合膜21に塗布し、スキージ5をスクリーンマスク4上を移動させることにより印刷が行われる。銅ペースト6'は、フォトレジスト膜3のコンタクト孔内にも充填されるので接続電極2上にも印刷されることになる。スクリーン印刷された半導体基板1は、スクリーンマスク4を外してから加熱炉に入れられ700 $^{\circ}$ C~800 $^{\circ}$ C程度の温度で焼成される。この焼成により銅ペースト6'からCuを主成分とする内部配線6が形成される(図6)。次に、半導体基板1主面の全面に半導体基板1主面全面に内部配線6及びフォトレジスト膜3を被覆するように感光性で熱硬化性ノボラック樹脂系ポジタイプ液状レジストをスピンコート法により塗布し、これを加熱処理して硬化することによりフォトレジスト膜7を均一に形成する(図7)。次に、フォトレジスト膜7をフォトマスクを用いてPEP処理(露光・現像処理)を行ってフォトレジスト膜7にコンタクト孔を形成し、このコンタクト孔内に内部配線6を部分的に露出させる(図8)。このコンタクト孔には外部接続端子(外部接続ハンダボール)が形成される。

【0013】次に、露出している内部配線6とフォトレジスト膜7の上に、例えば、Tiなどのバリアメタル層及び、例えば、Cuなどからなるシード層から構成された複合膜22を薄くスパッタリング形成する(図9)。本発明においてはこの複合膜は形成しなくても良い。次に、複合膜22上にCu膜23をメッキ形成する(このCu膜も必要によっては使用しなくても良い)。次に、外部接続用コンタクト孔にハンダペーストを埋め込み、これをリフローして外部接続端子(外部接続ハンダボール)8をそのコンタクト孔に形成する。ハンダペーストは、64wt%Sn及び37wt%の組成物からなる、いわゆる、共晶ハンダ(融点:183 $^{\circ}$ C)で構成されている。さらにリフローは、例えば、200 $^{\circ}$ C、30分、N<sub>2</sub>雰囲気中という条件下で行われる。

【0014】次に、図10を参照して半導体装置を製造する工程を説明する。図は、ウェーハから製品としての半導体チップを形成するまでの工程フロー図である。まず、シリコンなどからなるウェーハを用意し(①)、その各チップ領域毎にトランジスタや半導体集積回路などの半導体素子を形成する(②)。チップには半導体素子に電氣的に接続された接続電極が形成され、この接続電極に電氣的に接続された内部配線がスクリーン印刷により形成される。層間絶縁膜にはフォトレジスト膜を利用する(③)。次に、ウェーハの内部配線に接続するようにハンダボールといわれる外部接続端子を形成する

(④)。次に、ウェーハにスクライブラインを入れて切断し、複数のチップを形成する(⑤)。形成されたチップを製品とする(⑥)。本発明は、以上の実施例に限定されず、様々な実施例が考えられる。内部配線の材料にはCuを用いたが、本発明は、Cuに限らず、外部接続

端子材料よりも融点が高く半導体チップに要求される電気抵抗、信頼性などを満足すれば良い。その材料としては、例えば、Al（融点は、660℃である）、Ti（融点は、1820℃である）などがある。

【0015】前述の実施例において、フォトリソ材料には、ノボラック樹脂系ポジタイプの液状レジストを用いたが、他のポジタイプの液状レジストあるいはアクリル樹脂系などのネガタイプの液状レジストでもよい。さらに、ポジタイプ及びネガタイプの液状レジストとしては、上記材料以外に、エポキシ樹脂系、ビフェニル樹脂系、フェノール樹脂系、シリコン樹脂系、ポリエステル樹脂系などがもちいられる。本発明に用いるレジストの形態は、液状であるが、シート状でもよい。また、レジストの硬化方法は、加熱を用いたが、光などによる硬化方法もある。

#### 【0016】

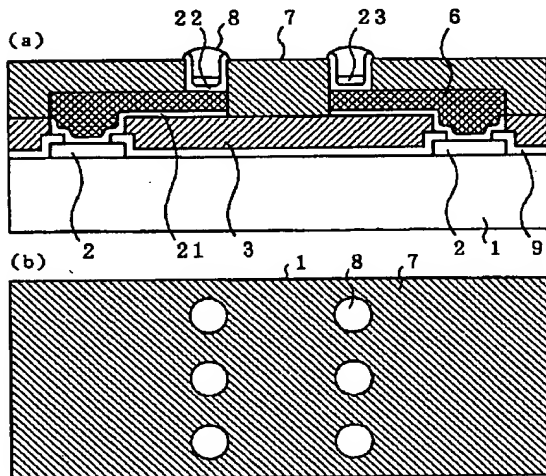
【発明の効果】本発明は、以上の構成により、半導体チップとはほぼ同じ大きさを持つ半導体装置における半導体チップ上の接続電極と外部接続端子とを電気的に接続する内部配線の作成工程を簡略化でき、さらに半導体装置の製造コスト、製造時間を低減できるとともに資材を有効に利用することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の断面図。

【図2】本発明の半導体装置の製造工程断面図及び平面

【図1】



図。

【図3】本発明の半導体装置の製造工程断面図。

【図4】本発明の半導体装置の製造工程断面図及び平面図。

【図5】本発明の半導体装置の製造工程断面図。

【図6】本発明の半導体装置の製造工程断面図及び平面図。

【図7】本発明の半導体装置の製造工程断面図。

【図8】本発明の半導体装置の製造工程断面図及び平面図。

【図9】本発明の半導体装置の製造工程断面図。

【図10】本発明の半導体装置の製造工程フロー図。

【図11】従来の半導体装置の断面図。

【図12】従来の半導体装置の製造工程断面図。

【図13】従来の半導体装置の製造工程断面図。

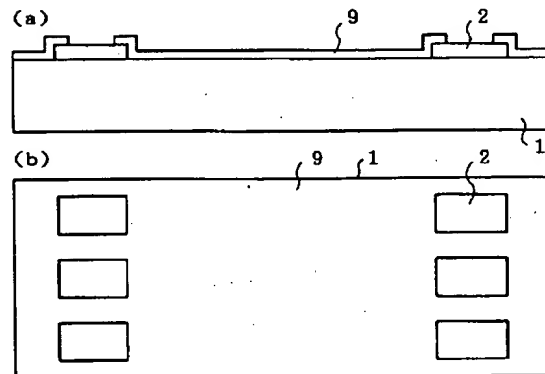
【図14】従来の半導体装置の製造工程断面図。

【図15】従来の半導体装置の製造工程フロー図。

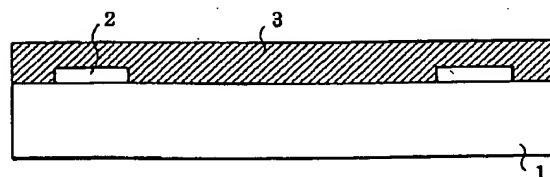
#### 【符号の説明】

1・・・半導体基板、 2・・・接続電極、 3、  
7・・・フォトリソ膜、 4・・・スクリーンマ  
スク、 5・・・スキージ、 6・・・内部配線、  
6'・・・銅ペースト、 8・・・外部接続端子  
( bumps もしくはハンダボール)、 9・・・パッシ  
ベーション膜、 21、22・・・複合膜、 23  
・・・Cu膜。

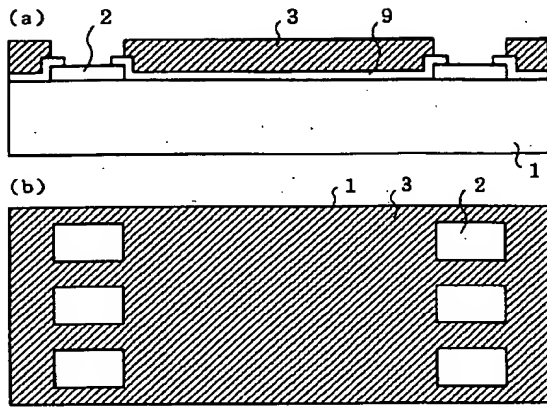
【図2】



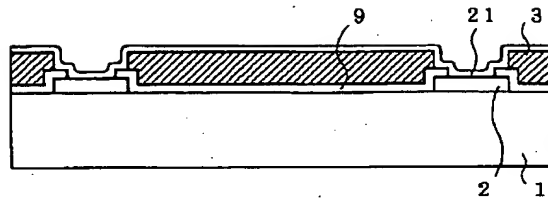
【図3】



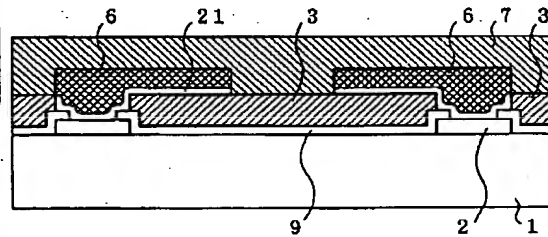
【図4】



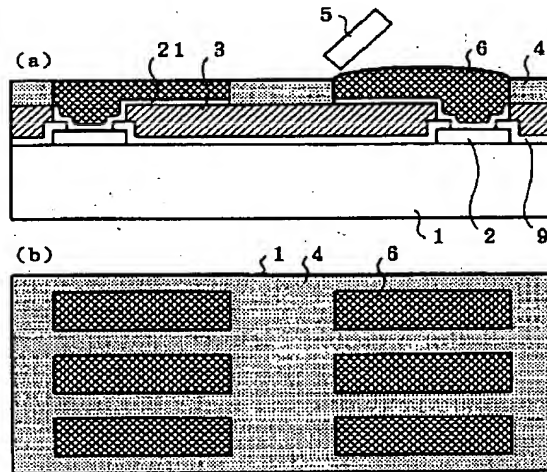
【図5】



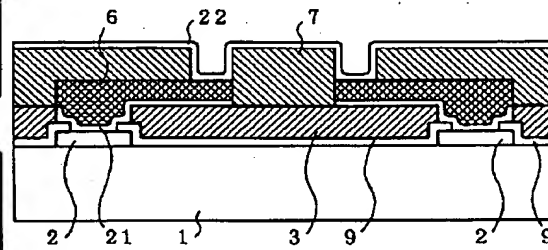
【図7】



【図6】

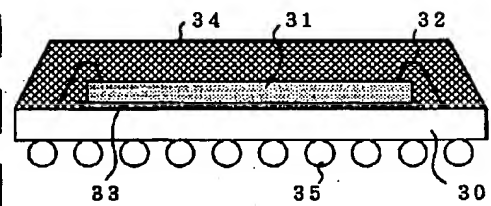
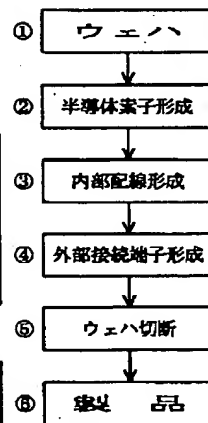
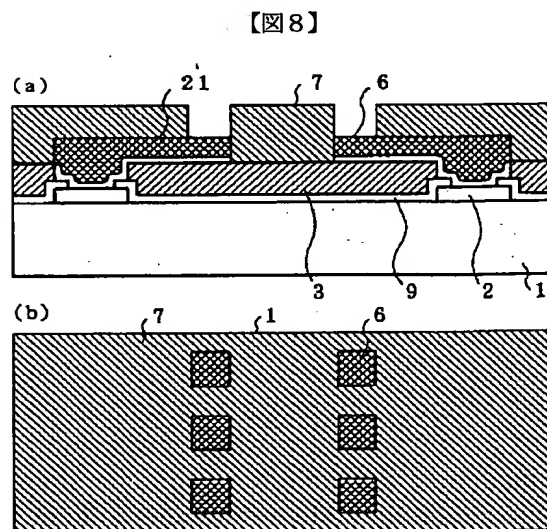


【図9】

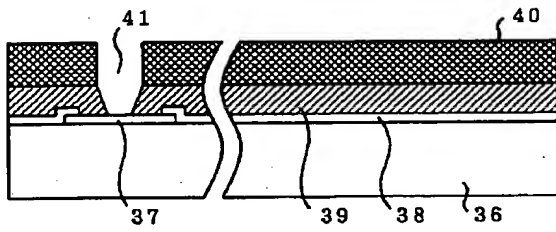


【図10】

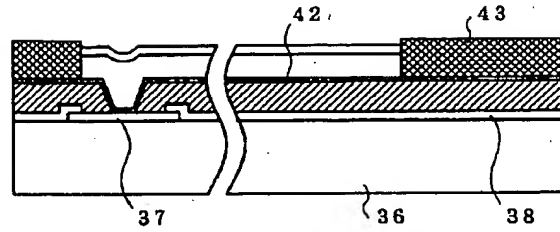
【図11】



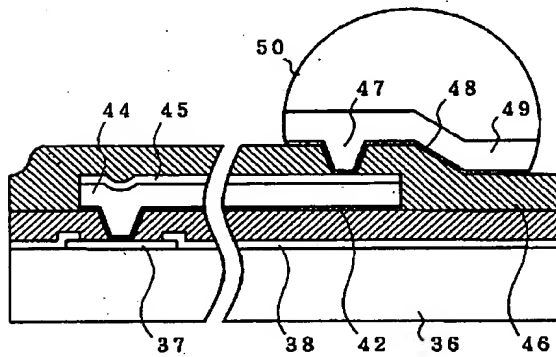
【図12】



【図13】



【図14】



【図15】

- (1) ポリイミド膜形成
- (2) コンタクト孔形成
- (3) バリヤ層/シード層形成
- (4) 内部配線形成
- (5) バリヤ層/シード層除去
- (6) ポリイミド膜形成
- (7) コンタクト孔形成
- (8) バリヤ層/シード層形成
- (9) 外部接続端子形成
- (10) バリヤ層/シード層除去
- (11) ソルダ・リフロー

フロントページの続き

(72) 発明者 大森 純  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝多摩川工場内